

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-25948

(P2002-25948A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/301		H 0 1 L 21/304	6 3 1
21/304	6 3 1	21/78	Q
			S

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2000-209093(P2000-209093)

(22) 出願日 平成12年7月10日 (2000.7.10)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 宮川 昌士

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 鈴木 良明

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100088328

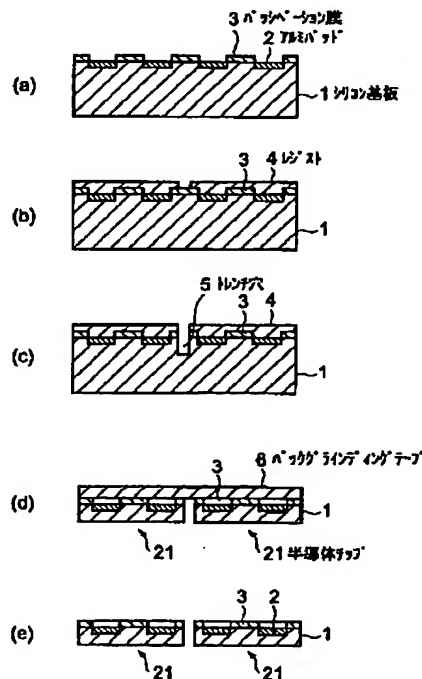
弁理士 金田 暢之 (外2名)

(54) 【発明の名称】 ウエハーの分割方法、半導体デバイス、および半導体デバイスの製造方法

(57) 【要約】

【課題】 ウエハーを分割する際に、そのウエハーや、分離された半導体チップを信頼性良くハンドリングすることを可能にすると共に、ウエハーから取れるチップの取り個数を大幅に増大させる。

【解決手段】 外形形状が円形のウエハーであるシリコン基板1に複数のアルミパッド2、およびパッシベーション膜3が形成されている。このシリコン基板1上に形成されたレジスト4をパターンニングし、そのレジスト4をマスクにしてシリコン基板1に、ウエハー分割用の溝であるトレンチ穴5をドライエッチングにより形成する。レジスト4を除去した後シリコン基板1のアルミパッド2側にバックグラインディングテープ6を貼り付け、シリコン基板1の裏面を、トレンチ穴5に達するまで研削および研磨する。これにより、ウエハーにおける半導体チップの分離幅を細くでき、また、ダイシングによるチップングを考慮しない、ウエハー上での半導体素子のレイアウトが可能になる。



【特許請求の範囲】

【請求項 1】 半導体素子が複数形成されたウエハーを個別の半導体チップに分離するウエハーの分割方法であって、

前記ウエハーにおける前記半導体素子の形成面における前記半導体チップの外形形状に対応する位置に所定の深さの溝をドライエッチングにより形成する工程と、
前記ウエハーにおける前記半導体素子の形成面に保持用シートを貼り付ける工程と、
前記ウエハーにおける前記半導体素子の形成面と反対側の裏面を、少なくとも前記溝に達するまで研削及び研磨し、前記ウエハーを個別の半導体チップに分離する工程とを有するウエハーの分割方法。

【請求項 2】 前記ウエハーにおける前記半導体素子の形成面に前記溝を形成する工程では、前記ウエハーの外周部分を除く部分に、前記ウエハーを前記個別の半導体チップに分離するための溝を形成する請求項 1 に記載のウエハーの分割方法。

【請求項 3】 前記ウエハーにおける前記半導体素子の形成面に前記溝を形成する工程では、前記ウエハーから分離される前記個別の半導体チップの端部の形状が楕円形状となるように前記溝を形成する請求項 1 または 2 に記載のウエハーの分割方法。

【請求項 4】 前記ウエハーにおける前記半導体素子の形成面に前記溝を形成する工程では、前記半導体チップにビアホールを形成するために、前記ウエハーの研削及び研磨により分離される前記個別の半導体チップに、該半導体チップを貫通する貫通孔が形成されるように、前記貫通孔を形成するための凹部をドライエッチングにより前記溝と同時に前記ウエハーに形成し、
前記ウエハーに前記溝および前記凹部を形成した後、前記凹部の内壁面に絶縁膜を形成する工程と、
前記絶縁膜が形成された前記凹部の内部に導電性材料を埋め込む工程とを、
前記ウエハーの裏面を研削及び研磨して前記ウエハーを個別の半導体チップに分離する工程の前に有する請求項 1 または 2 に記載のウエハーの分割方法。

【請求項 5】 電極部を有する搭載基板と、
電極部を有し、前記搭載基板上に積層された少なくとも 2 つの半導体チップと、
各々の前記半導体チップの電極部を前記搭載基板の電極部に電気的に接続するためのボンディングワイヤーとを有する半導体デバイスにおいて、
前記搭載基板の複数の前記半導体チップのうち少なくとも 1 つの半導体チップの端部の形状が楕円形状となっていることを特徴とする半導体デバイス。

【請求項 6】 電極部を有する搭載基板と、
請求項 1、2、または 4 に記載のウエハーの分割方法を用いて作製され、前記搭載基板上に積層された少なくとも 2 つの半導体チップとを有する半導体デバイスであつ

て、

前記搭載基板の電極と各々の前記半導体チップとの電気的な接続、および前記半導体チップ同士の電気的な接続が、各々の前記半導体チップを貫通したビアホールにより行われている半導体デバイス。

【請求項 7】 ウエハーを分割して作製された半導体チップを搭載基板上に少なくとも 2 つ積層し、積層された各々の前記半導体チップの電極部を、前記搭載基板上の電極部にボンディングワイヤーにより電気的に接続して半導体デバイスを製造する半導体デバイスの製造方法において、

前記ウエハーを分割して前記半導体チップを作製する工程では、前記半導体チップの端部の形状が楕円形状となるように前記ウエハーを分割することを特徴とする半導体デバイスの製造方法。

【請求項 8】 前記ウエハーを分割する工程が、
半導体素子が複数形成されたウエハーの前記半導体素子の形成面における前記半導体チップの外形形状に対応する位置にドライエッチングにより所定の深さの溝を形成する工程と、

前記ウエハーにおける前記半導体素子の形成面に保持用シートを貼り付ける工程と、
前記ウエハーにおける前記形成面と反対側の裏面を、少なくとも前記溝に達するまで研削及び研磨し、前記ウエハーを個別の半導体チップに分離する工程とから構成されている請求項 7 に記載の半導体デバイスの製造方法。

【請求項 9】 電極部を有する搭載基板と、前記搭載基板上に積層された少なくとも 2 つの半導体チップとを有し、前記搭載基板の電極と各々の前記半導体チップとの電気的な接続、および前記半導体チップ同士の電気的な接続が、各々の前記半導体チップを貫通したビアホールにより行われている半導体デバイスの製造方法であつて、

半導体素子が複数形成されたウエハーにおける前記半導体素子の形成面に、前記半導体チップの外形形状に対応したエッチングラインに沿った所定の深さの溝、および前記ビアホールを形成するための凹部をドライエッチングにより形成する工程と、
前記ウエハーの前記凹部の内壁面に絶縁膜を形成する工程と、

前記絶縁膜が形成された前記凹部の内部に導電性材料を埋め込む工程と、
前記ウエハーにおける前記半導体素子の形成面と反対側の裏面を、前記溝および前記凹部に達するまで研削および研磨し、前記ウエハーを個別の半導体チップに分離する工程とを有する半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ウエハーの分割方法、半導体デバイス、および半導体デバイスの製造方法

に関し、特に、ウエハーに複数形成された半導体素子を個々の半導体チップに分離する工程に関する。本発明に係るウエハーの分割方法、および半導体デバイスの製造方法は、半導体チップを積層して半導体デバイスの多機能化、高性能化を図る際にチップの薄膜化及びウエハーの大口径化時に好適である。

【0002】

【従来の技術】半導体デバイスの製造工程は、ウエハー上に種々の半導体のパターンを形成する工程（通常は前工程と呼ばれる）と、ウエハー上に形成された複数の半導体素子を個々の半導体チップに切断して分割し、その半導体チップにリードフレームやTAB等を接続してパッケージ化する実装工程とに大別できる。

【0003】近年、半導体デバイスの製造コストの低減を図るためにウエハーの大口径化が推進されると共に、半導体素子の実装密度を高めたり、デバイスの複合化や高速化に対応して薄膜の半導体素子を3次元的に積層する手法が採られつつある。

【0004】従来は、ウエハーを個々の半導体チップにダイシングした後に半導体チップをリードフレームやTABにワイヤーボンディングやギャングボンディング等にて接続してパッケージを行っていた。また、近年のICカード等の薄膜デバイスの要求に対しては、ウエハーの分離に先立って、ウエハーにおけるパターンの形成面と反対側の面を、砥石により研削する（バックグラインド）手法や遊離砥石にて研磨する手法によりウエハーを薄膜化して、次いでダイシングを行っていた。また、ウエハーの研削や研磨に際しては、予め、ウエハーにおける半導体素子の形成面すなわちデバイス表面にバックグラインディングフィルムと呼ばれる粘着性のシートを貼り付けたり、レジストを塗布して保護していた。

【0005】しかしながら、ウエハーの大口径化と半導体デバイスの更なる薄膜化の要求に対して上記のような手法を用いた場合、薄膜化したウエハーのハンドリングやダイシングに際して、ウエハーが割れてしまうという問題が表面化してきた。また、ダイシング時にウエハー裏面に生じるチッピングは、そのウエハーから分離した半導体チップの強度を低下させ、実装工程でも半導体チップが割れてしまう問題が生じている。そのような問題に対して、特開平9-213662号公報では、ウエハーにおける半導体素子の形成面に、ダイシングラインに沿って、分離のための凹溝をダイシングにて予め形成しておき、ウエハーの裏面を研削および研磨するバックグラインドによりチップを分割する方法（いわゆる先ダイシング）が開示されている。このような方法により、大口径ウエハーのダイシングに対するウエハーの割れが防止される。また、このような手法によれば、ダイシングによるチッピングも極めて少なくなり、半導体チップおよび半導体デバイスの強度も増すことを示唆している。

【0006】しかしながら、半導体チップの破壊は、半

導体チップ外周のチッピングに起因するもの以外に、バックグラインド時に生じるマイクロクラックが起因する場合もあり、通常は研削後に研磨やエッチングを行うことにより、これらマイクロクラックを除去して半導体チップの強度を高める手法が採られている。

【0007】また、今後、半導体素子が積層されて半導体デバイスが多機能化、高性能化される場合、ダイシングによる半導体チップの分離は矩形のみに限定され、半導体チップの矩形形状は、積層された半導体素子の接続の観点から自由度を低下させる。半導体デバイスのパッケージ技術は、半導体チップをリードフレームにダイボンンドし、パッドとリードをワイヤーボンディングした後、セラミックあるいはプラスチックモールドするQFPから、接続を平面的に行うBGAやCSPといったエリアレイ型に変化し、今後、3次元的にデバイスを積層する方向に進みつつある。これらデバイスの積層は、異なる機能（ロジックやメモリ）のデバイスを積層して多機能化を目指す方向と、同じ機能のデバイスを積層して高速化、高メモリ容量化等の高性能化を目指す方向がある。

【0008】このように複数のデバイスを積層して、これらデバイス同士の電気的な接続を行うに際して、矩形チップのみで積層した場合、自由度が極めて小さくなる。図11に、2種類の半導体チップを積層し、ワイヤーボンドにて電気的な接続を行った3次元実装パッケージの半導体デバイスの一例を示す。図11に示される半導体デバイスでは、半導体チップであるフラッシュメモリ109およびS-RAM (Static RAM) 110がこの順番で、搭載基板であるインターポーザー108上に積層されている。

【0009】インターポーザー108上にフラッシュメモリ109がダイボンンド剤111aによりダイボンンドされ、フラッシュメモリ109上にS-RAM110がダイボンンド剤111bによりダイボンンドされている。この半導体デバイスでは、上下の半導体チップが、インターポーザー108に形成された電極部のパターンに、金ワイヤー112a, 112bによるワイヤーボンドで電気的に接続されており、インターポーザー108で配線を這い回して、インターポーザー108の下面に複数の半田ボール113が設けられたBGA (Ball Grid Alloy) 型のものとなっている。フラッシュメモリ109やS-RAM110、および金ワイヤー112a, 112bがパッケージ材料114により封止されている。

【0010】

【発明が解決しようとする課題】しかしながら、特開平9-213662号公報に記載されているように予めウエハーのダイシングを行う先ダイシングでは、研削時にダイシングラインがウエハー裏面側に剥き出してしまうことによってエッチングや研磨ができないため、そのマイクロクラックを除去できず、これによる半導体チップの

強度低下が指摘されている。すなわち、チップングの低減による破壊強度の向上は、いわゆる平割り（チップ両端を2本のバーにて保持して中心に荷重を付与する）には効果があるが、太鼓割り（チップを円筒にて保持して中心に荷重を付与する）には殆ど強度向上が図れず、マイクロクラックを除去した薄膜チップに比べて、太鼓割り強度の低さに問題がある。また、ウエハーの外周部における縁から5mm程度の領域は、ウエハーの形成時の研磨による膜厚の保証の範囲外の領域であり、通常は薄くなっている。さらには、その領域はウエハーのハンドリング等のため、半導体素子を形成しない領域である。上述したように予めダイシングを行う先ダイシングでは、ウエハーを分割した後にバックグライディングテープにウエハーを貼り付けてバックグラインドするが、ウエハーの外周部の分割された領域に対しては、バックグライディングテープの粘着材が十分な粘着力を発現できず、バックグラインド時に、いわゆるチップ飛びなどが発生して、良品チップを破壊してしまうなどの問題がある。

【0011】また、ダイサーによる分割加工は、分離に用いるダイヤモンドブレード等の厚さ（通常は50μm程度）の切断に要する分離しろ、およびダイシング時に発生するチップングやシェルクラックがパターンに影響を与えないように、ダイシングラインから数十μm離れた個所に実際のパターンを配置する必要がある。これらダイシングに起因する領域はウエハーからのチップの取り個数を低減させるものであり、今後、半導体デバイスが益々小さくなる状況において、コストアップの大きな原因となる。

【0012】一方、図11に示した半導体デバイスの作製に際しては、フラッシュメモリ109およびS-RAM110の上下チップの搭載精度や、ダイボンド用接着剤であるダイボンド剤111a、111bのはみ出し、パッドの大きさ等を加味して上下のチップの大きさを決める。次いで金ワイヤー112a、112bによるワイヤーボンドを行う場合、極めて低ループで長い距離のワイヤープロファイルを形成する必要があり、また、それらのワイヤーが後工程の樹脂モールドパッケージで倒れたり、ショートしたりすることを防止する必要がある。ここで、十分なマージンを取った設計をした場合、積層して作製されたBGAパッケージを小型化、薄型化できなくなってしまうという問題点がある。

【0013】また、昨今の半導体デバイスの高速化の要求に対して、ワイヤーボンドによる長い接続に起因する寄生容量はデバイスの誤動作の原因となり、半導体チップのシリコンに貫通孔を形成して構成されたビアホールにより、積層された半導体チップを電気的に接続する方法も検討されている。しかしながら、これら貫通孔の形成方法等も未だ確立した技術はない。

【0014】上記のように、従来のウエハーの分割方法

では、今後用途拡大が図られる薄膜半導体デバイスに対して、搬送時およびバックグラインド時にウエハーが割れやすいという課題に対して十分な信頼性を確保できない状況である。

【0015】本発明は上記事情に鑑みて成されたものであり、本発明の主たる目的は、ウエハーを分割して半導体チップを作製する際に、薄膜半導体素子が複数形成されたウエハーや、分離された半導体チップを信頼性良くハンドリングすることが可能で、ウエハーから取れるチップの取り個数を大幅に増大させることが可能なウエハーの分割方法、および半導体デバイスの製造方法を提供することにある。

【0016】また、本発明の他の目的は、複数の半導体チップを積層して、多機能化および高性能化された半導体デバイスを作製する際に、半導体デバイスの設計の自由度を高めることが可能なウエハーの分離方法、半導体デバイス、および半導体デバイスの製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明のウエハーの分割方法は、半導体素子が複数形成されたウエハーを個別の半導体チップに分離するウエハーの分割方法であって、前記ウエハーの前記半導体素子の形成面における半導体チップの外形形状に対応する位置に所定の深さの溝をドライエッチングにより形成する工程と、前記ウエハーにおける前記半導体素子の形成面に保持用シートを貼り付ける工程と、前記ウエハーにおける前記半導体素子の形成面と反対側の裏面を、少なくとも前記溝に達するまで研削及び研磨し、前記ウエハーを個別の半導体チップに分離する工程とを有する。

【0018】また、前記ウエハーにおける前記半導体素子の形成面に前記溝を形成する工程では、前記ウエハーの外周部分を除く部分に、前記ウエハーを前記個別の半導体チップに分離するための溝を形成することが好ましい。

【0019】さらに、前記ウエハーにおける前記半導体素子の形成面に前記溝を形成する工程では、前記ウエハーから分離される前記個別の半導体チップの端部の形状が櫛歯形状となるように前記溝を形成してもよい。

【0020】さらに、前記ウエハーにおける前記半導体素子の形成面に前記溝を形成する工程では、前記半導体チップにビアホールを形成するために、前記ウエハーの研削及び研磨により分離される前記個別の半導体チップに、該半導体チップを貫通する貫通孔が形成されるように、前記貫通孔を形成するための凹部をドライエッチングにより前記溝と同時に前記ウエハーに形成し、前記ウエハーに前記溝および前記凹部を形成した後に前記凹部の内壁面に絶縁膜を形成する工程と、前記絶縁膜が形成された前記凹部の内部に導電性材料を埋め込む工程とを、前記ウエハーの裏面を研削及び研磨して前記ウエハー

ーを個別の半導体チップに分離する工程の前に有していてもよい。

【0021】上記の発明では、半導体素子が複数形成されたウエハーを個別の半導体チップに分割する際、ウエハーの半導体素子の形成面における前記半導体チップの外形形状に対応する位置にドライエッチングにより所定の深さの溝を形成し、その形成面に保持用シートを貼り付けた後に、ウエハーの裏面を前記溝に達するまで研削および研磨することにより、ウエハーにおける半導体チップの分離幅を細くすることができると共に、ウエハーのダイシングによるチップングを考慮しない、ウエハー上での半導体素子のレイアウトが可能になる。このようなドライエッチングを用いたウエハーの分割では、従来の分割方法と比較してウエハーの搬送時およびバックグラインド時におけるウエハーの割れを防止することができ、ウエハーを信頼性良くハンドリングすることが可能となる。それと同時に、従来のようなダイシングによるチップングによって半導体チップがその実装工程で割れてしまうことも防止されるので、分離された半導体チップの強度が高くなり、半導体チップを信頼性良くハンドリングすることが可能となる。また、このようなドライエッチングによる半導体チップの分離は、分離に必要な領域を極限まで狭くすることが可能であることにより、ウエハーから取れるチップの取り個数を大幅に増大させることができる。さらには、外形が矩形以外のチップを作製したり、ウエハーの外周部を分割しないでチップを分離したり、分離形状の自由度が拡大し、分離工程の安定化が図れると共に、半導体チップの実装工程での自由度が増す。

【0022】前記のようにウエハーの外周部分を除く部分に分離用の溝を形成して、ウエハーの外周部分には分離用の溝を形成しないことにより、ウエハーの外周部分でチップ飛びを防止することが可能となり、ウエハーの薄膜化を信頼性良く行うことができる。また、半導体チップの端部形状を櫛歯形状とすることにより、半導体チップの積層による半導体デバイスの設計の自由度を高めることが可能であり、半導体デバイスの歩留まりと信頼性を高めることができる。また、ドライエッチングの工程をチップの分離以外の加工、すなわちチップの3次元実装のためのビアホール形成と共通化すれば、大幅な工程短縮を図ることができる。

【0023】さらに、本発明の半導体デバイスは、電極部を有する搭載基板と、電極部を有し、前記搭載基板上に積層された少なくとも2つの半導体チップと、各々の前記半導体チップの電極部を前記搭載基板の電極部に電気的に接続するためのボンディングワイヤーとを有する半導体デバイスにおいて、前記搭載基板上の複数の前記半導体チップのうち少なくとも1つの半導体チップの端部の形状が櫛歯形状となっている。

【0024】上記のように搭載基板上に少なくとも2つ

の半導体チップを積層し、半導体チップの電極部をボンディングワイヤーによって搭載基板の電極部に電気的に接続して構成された半導体デバイスにおいて、半導体チップの端部の形状が櫛歯形状となっていることにより、上述したと同様に、半導体チップの積層による半導体デバイスの設計の自由度を高めることが可能であり、半導体デバイスの歩留まりと信頼性を高めることができる。

【0025】さらに、本発明の半導体デバイスは、電極部を有する搭載基板と、上述したようなウエハーの分割方法を用いて作製され、前記搭載基板上に積層された少なくとも2つの半導体チップとを有する半導体デバイスであって、前記搭載基板の電極と各々の前記半導体チップとの電気的な接続、および前記半導体チップ同士の電気的な接続が、各々の前記半導体チップを貫通したビアホールにより行われている。

【0026】上記の発明では、搭載基板上に少なくとも2つの半導体チップが積層されて構成される半導体デバイスにおいて、半導体チップが、上述したようなウエハーの分割方法を用いて作製され、搭載基板の電極と各々の半導体チップとの電気的な接続や、半導体チップ同士の電気的な接続がビアホールを介して行われる構成となっていることにより、半導体デバイスを作製する際に上述したように半導体チップの分離のためのドライエッチングの工程をチップの3次元実装のためのビアホール形成と共通化して大幅な工程短縮を図ることができる。よって、半導体デバイスの製造コストの低減が図れるとともに、多機能化および高性能化された半導体デバイスが得られる。

【0027】さらに、本発明の半導体デバイスの製造方法は、ウエハーを分割して作製された半導体チップを搭載基板上に少なくとも2つ積層し、積層された各々の前記半導体チップの電極部を、前記搭載基板上の電極部にボンディングワイヤーにより電気的に接続して半導体デバイスを製造する半導体デバイスの製造方法において、前記ウエハーを分割して前記半導体チップを作製する工程では、前記半導体チップの端部の形状が櫛歯形状となるように前記ウエハーを分割する。

【0028】上記の半導体デバイスの製造方法では、搭載基板上に積層される半導体チップを作製するためにウエハーを分割する際に半導体チップの端部の形状を櫛歯形状とすることにより、上述したように半導体デバイスの設計の自由度を高めることが可能であり、半導体デバイスの歩留まりと信頼性を高めることができる。

【0029】さらに、前記ウエハーを分割する工程が、半導体素子が複数形成されたウエハーの前記半導体素子の形成面における前記半導体チップの外形形状に対応する位置にドライエッチングにより所定の深さの溝を形成する工程と、前記ウエハーにおける前記半導体素子の形成面に保持用シートを貼り付ける工程と、前記ウエハー

における前記形成面と反対側の裏面を、少なくとも前記溝に達するまで研削及び研磨し、前記ウエハーを個別の半導体チップに分離する工程とから構成されていることが好ましい。

【0030】さらに、本発明の半導体デバイスの製造方法は、電極部を有する搭載基板と、前記搭載基板上に積層された少なくとも2つの半導体チップとを有し、前記搭載基板の電極と各々の前記半導体チップとの電気的な接続、および前記半導体チップ同士の電気的な接続が、各々の前記半導体チップを貫通したビアホールにより行われている半導体デバイスの製造方法であって、半導体素子が複数形成されたウエハーにおける前記半導体素子の形成面に、前記半導体チップの外形形状に対応したエッチングラインに沿った所定の深さの溝、および前記ビアホールを形成するための凹部をドライエッチングにより形成する工程と、前記ウエハーの前記凹部の内壁面に絶縁膜を形成する工程と、前記絶縁膜が形成された前記凹部の内部に導電性材料を埋め込む工程と、前記ウエハーにおける前記半導体素子の形成面と反対側の裏面を、前記溝および前記凹部に達するまで研削および研磨し、前記ウエハーを個別の半導体チップに分離する工程とを有する。

【0031】上記の半導体デバイスの製造方法では、搭載基板上に少なくとも2つの半導体チップが積層され、搭載基板の電極と各々の半導体チップとの電気的な接続や、半導体チップ同士の電気的な接続がビアホールを介して行われている半導体デバイスを作製する際に、半導体チップの分離のためのドライエッチングの工程をチップの3次元実装のためのビアホールの形成と共通化することにより、半導体チップの積層で多機能化および高性能化された半導体デバイスの製造工程を大幅に短縮することができる。

【0032】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0033】（第1の実施の形態）図1は、本発明の第1の実施形態に係るウエハーの分割方法によってウエハーを個々の半導体チップに分離する基本的な工程を説明するための断面図である。

【0034】図1（a）に示される、外形形状の円形のウエハーであるシリコン基板1には複数の半導体素子が形成されている。このシリコン基板1における半導体素子の形成面には、電極部として、A1からなるアルミパッド2が複数形成されている。このシリコン基板1の表面におけるアルミパッド2を除く部分に、図1（a）に示すようにパッシベーション膜3をパターンニングにより形成する。

【0035】次に、図1（b）に示すように、アルミパッド2上およびパッシベーション膜3の表面にレジスト4の膜を形成し、ウエハー分離用の溝を前記半導体チ

ップの外形形状に対応する位置に形成するためにレジスト4をパターンニングする。そのパターンニングにより、レジスト4の、パッシベーション膜3上の部分の一部が除去されている。

【0036】次に、図1（c）に示すように、レジスト4をマスクにしてパッシベーション膜3およびシリコン基板1のドライエッチングを行って、シリコン基板1をトレンチ状にエッチングし、パッシベーション膜3およびシリコン基板1に、ウエハー分割用の溝であるトレンチ穴5を形成する。

【0037】次に、図1（d）に示すように、シリコン基板1上のレジスト4を除去してから、シリコン基板1上のパッシベーション膜3の表面に、保持用シートであるバックグライディングテープ6を貼り付けた後、シリコン基板1における半導体素子の形成面と反対側の裏面を、トレンチ穴5に達するまで研削および研磨して、バックグランドを行う。このようにシリコン基板1の裏面を研削および研磨することにより、シリコン基板1がトレンチ穴5で個々の半導体チップ21に分割される。

【0038】そして、図1（e）に示すように、それぞれの半導体チップ21からバックグライディングテープ6を剥離させる。

【0039】図1に基づいて説明したウエハーの分割方法では、半導体素子上にパッシベーション膜を形成してアルミパッド2を剥き出したシリコン基板1に、そのままレジスト4の、前記半導体チップの外形形状に対応する位置にエッチングパターンを形成する。そして、パッシベーション膜3およびシリコン基板1のドライエッチングを行った後に、シリコン基板1のバックグランドを行う。

【0040】図1（c）の工程におけるドライエッチングは、フッ素系あるいは塩素系ガスをを用いた汎用的なドライエッチング技術を適用できるが、最も好適にはICP-RIE（inductively coupled plasma reactive ion etching：誘導結合プラズマ反応性イオンエッチング）と呼ばれる、高速な深堀（Deep）エッチングが可能なドライエッチング方法を挙げることができる。また、ICPのエッチングとエッチング部側壁の保護膜のデポジットを高速で繰り返す凹部形成方法、いわゆるBoschプロセスによるICP-RIEは、極めてアンダーカットがなく、高いアスペクト比で凹部を高速に加工可能である。

【0041】ドライエッチング時のマスク材料としては、汎用的なポジ型レジストを用いてもよいし、シリコンと選択比がとれる材料を通常のフォトリソグラフィ技術でパターンニングしてマスクとしても良い。一般的には酸化シリコン、窒化シリコン等のシリコン化合物、アルミやチタン、タングステン等の金属などを用いることができる。また、そのマスク層を、実装のためのアルミパッド2を剥き出しにさせる際に用いるレジスト層にて

兼用しても構わないし、レジスト除去後に残ったパッシベーション膜をそのマスクとして用いても良い。尚、エッチングに際しては、半導体チップの分離領域は同一部材とした方が、良好な形状で高速に凹加工できる。すなわち、半導体デバイスを形成する工程で、配線材料や層間絶縁材料をその分離領域に残存させると、マスクとして用いる材料とのエッチング選択性が良好に取れなくなったり、エッチング時間が長くなったり、エッチング形状が劣化したりする。勿論、TEG(Test Element Group)等を形成することも好ましいことではない。エッチングに際しては、汎用的に市販されるICP-RIE装置を用いることができるが、フランス共和国のAlcatel社製の601Eや、イギリスのSTS社製のもの等を好適に使用できる。これらドライエッチャーはBoschプロセスが導入されており、最も量産性が高いと判断できる。エッチングに際しては、通常の SF_6 や CF_4 、 C_2F_6 、 C_3F_8 等のフッ素系エッチャント、塩素等を用いることができるし、またエッチング速度を速めるために酸素や窒素などを微量に混合しても構わない。

【0042】このようにドライエッチングを用いたウエハーの分割方法によれば、シリコン基板1において分離に要する幅は極限まで細くすることが可能であり、また従来のようなダイシングによるチップングを避けるための領域も必要ないために、チップングを考慮しないウエハー上での半導体素子のレイアウトが可能になり、チップの取り個数の増加を図ることができる。本実施形態のウエハーの分割方法によるチップの分離に必要な幅は0.5~20 μm 、さらに好適には0.5~5 μm 程度に狭めることができる。

【0043】このようにドライエッチングを用いたウエハーの分割では、従来の分割方法と比較してウエハーの搬送時およびバックグランド時におけるウエハーの割れを防止することができ、ウエハーを信頼性良くハンドリングすることが可能となる。それと同時に、従来のようなダイシングによるチップングによって半導体チップがその実装工程で割れてしまうことも防止されるので、分離された半導体チップの強度が高くなり、半導体チップを信頼性良くハンドリングすることが可能となる。

【0044】図2は、本実施形態に係るウエハーの分割方法の他の例を説明するための断面図である。図2に示される工程の分割方法では、まず、図2(a)に示すように、シリコン基板1およびアルミパッド2の表面全体にパッシベーション膜3を形成する。

【0045】次に、図2(b)に示すように、パッシベーション膜3の表面にレジスト4を形成した後にレジスト4をパターニングすることにより、レジスト4の、アルミパッド2に対応する部分を除去すると共に、レジスト4の、前記半導体チップの外形形状に対応する位置にエッチングパターンを形成する。

【0046】次に、図2(c)に示すように、レジスト

4をマスクにしてパッシベーション膜3およびシリコン基板1のドライエッチングを行って、シリコン基板1をトレンチ状にエッチングし、アルミパッド2を露出させると共に、パッシベーション膜3およびシリコン基板1に、ウエハー分割用の溝であるトレンチ穴5を形成する。

【0047】次に、図2(d)に示すようにパッシベーション膜3上のレジスト4を除去した後に、図2(e)に示すようにパッシベーション膜3の表面にバックグライディングテープ6を貼り付ける。

【0048】その後、図1に基づいて説明したのと同様に、シリコン基板1のバックグランドを行うことにより、図2(f)に示すようにシリコン基板1がトレンチ穴5で個々の半導体チップ21に分割される。

【0049】図2に基づいて説明したウエハーの分割方法では、アルミパッド2を剥き出しにするレジスト工程で、パッシベーション膜3として用いた窒化シリコン層にダイシングラインのパターンを形成し、これをマスクに適用している。

【0050】図3は、本実施形態に係るウエハーの分割方法のさらに他の例を説明するための断面図である。図3に示される工程の分割方法は、図2に基づいて説明した方法においてアルミパッド2が長時間ICP-RIEに晒されるのを防止するためにアルミパッド2上にTiW等のバリアーメタルを形成した例である。勿論、これらの適用例以外にも、何をマスク材料にするか等で多くの変形例がある。

【0051】この分割方法では、まず、図3(a)に示すように、シリコン基板1上のアルミパッド2の表面全体に、TiWからなるバリアーメタル7を形成し、さらに、バリアーメタル7の表面全体およびシリコン基板1の表面全体にパッシベーション膜3を形成する。

【0052】次に、図3(b)に示すように、パッシベーション膜3の表面にレジスト4を形成した後にそのレジスト4をパターニングすることにより、レジスト4の、アルミパッド2に対応する部分を除去すると共に、レジスト4の、前記半導体チップの外形形状に対応する位置にエッチングパターンを形成する。

【0053】次に、図3(c)に示すように、レジスト4をマスクにしてパッシベーション膜3およびシリコン基板1のドライエッチングを行って、シリコン基板1をトレンチ状にエッチングし、アルミパッド2状のバリアーメタル7を露出させると共に、パッシベーション膜3およびシリコン基板1に、ウエハー分割用の溝であるトレンチ穴5を形成する。

【0054】次に、図3(d)に示すようにパッシベーション膜3上のレジスト4を除去した後に、図3(e)に示すようにパッシベーション膜3の表面にバックグライディングテープ6を貼り付ける。

【0055】その後、図1に基づいて説明したのと同様

10

20

30

40

50

に、シリコン基板 1 のバックグラインドを行うことにより、図 3 (f) に示すようにシリコン基板 1 がドレンチ穴 5 で個々の半導体チップ 2 1 に分割される。

【0056】図 4 は、本発明のウエハーの分割方法におけるウエハーの分離パターンの一例を示す平面図である。図 4 に示すようにこの例では、ウエハー 4 1 における外周部分を除く部分に、半導体チップの外形形状が矩形となるようなパターンの分離パターン 4 2 が形成されている。したがって、ウエハー 4 1 の外周部分における半導体素子の形成面側の表面が、ウエハー 4 1 の縁部全周に渡って連続した平坦面となっている。その結果、ウエハーのバックグラインドを行う際に、ウエハーの外周部分を分離しないで、複数の半導体チップを分離することができる。

【0057】ウエハー 4 1 の外周部分は、通常、ウエハー作成時の研磨やエッチング、ラップ等により、ウエハー 4 1 の中央部分よりも薄くなっている。また、ウエハー 4 1 へのデバイスの形成工程では、ウエハー 4 1 の外周部分を、ウエハーのハンドリングや平面出しの突き当てに利用したりするため、その外周部分は、実デバイスを形成しない領域である。図 4 に示すようにウエハー 4 1 の外周部分に分離ラインを入れないこと、すなわちウエハー 4 1 の外周部分に分離用の溝を形成しないことは、バックグラインド時のチップ飛びの弊害を無くすと共に、薄膜化したウエハー 4 1 の強度も高くなり、ウエハー 4 1 のハンドリングに対する信頼性も向上する。

【0058】さらに、本発明のウエハーの分割方法では、非格子状のチップ分離パターンを形成することができる。図 1 2 は、本発明のウエハーの分割方法におけるウエハーの分離パターンの別の一例を示す平面図である。図 1 2 に示すように、半導体チップが交互に配列されるようにウエハー 4 1 に分離パターン 4 3 を形成することにより、チップの取り個数を多くすることができる。

【0059】また、本実施形態のようにドライエッチングによる分割パターンの溝加工の後にウエハーの研削および研磨することによりウエハーを半導体チップに分割すれば、矩形以外の形状の半導体チップも容易に作製することができる。矩形以外の形状の半導体チップを作製することにより、第 2 の実施形態において後述するように半導体チップを積層して半導体デバイスを作製する際にその設計の自由度が極めて高くなる。その際には勿論、チップの取り個数を多くするためにウエハーの面積を有効に使用することもできる。さらには、ウエハー内のチップ分離パターンも自由に变化させることが可能である。特に、図 4 に示したようにウエハーの外周部分を分離しない構成とした場合、ウエハーのバックグラインド時にウエハーの外周部分の切断片がチップ飛びを起こさず、歩留まり良くチップの分離ができる。

【0060】(第 2 の実施の形態) 図 5 は、本発明の第 2 の実施形態に係る半導体デバイスの構成を示す上面図

および断面図であり、図 5 (a) が半導体デバイスの上面図、図 5 (b) が半導体デバイスの断面図である。図 5 (a) では、半導体チップを封止するためのパッケージ材料が省略されている。

【0061】本実施形態の半導体デバイスでは、図 5 (a) および図 5 (b) に示すように半導体チップであるフラッシュメモリ 9 および S-RAM 1 0 がこの順番で、搭載基板であるインターポザー 8 上に積層されている。したがって、本実施形態の半導体デバイスは、フラッシュメモリ 9 および S-RAM 1 0 が積層されて構成された 3 次元実装パッケージの複合メモリデバイスとなっている。インターポザー 8 上にフラッシュメモリ 9 がダイボンド剤 1 1 a によりダイボンドされ、フラッシュメモリ 9 上に S-RAM 1 0 がダイボンド剤 1 1 b によりダイボンドされている。

【0062】インターポザー 8 およびフラッシュメモリ 9 の外形形状は矩形であり、S-RAM 1 0 の端部の形状は、S-RAM 1 0 の全周に渡って櫛歯形状となっている。フラッシュメモリ 9 の外形はインターポザー 8 の外形よりも小さくなっており、S-RAM 1 0 の外形はフラッシュメモリ 9 の外形よりも小さくなっている。S-RAM 1 0 の櫛歯形状の端部における突起部 1 0 b の表面に、電極部であるアルミパッド 2 c が形成されている。また、S-RAM 1 0 の櫛歯形状の端部において、隣り合う突起部 1 0 a の間に挟まれた凹部 1 0 b でフラッシュメモリ 9 の表面が露出しており、そのフラッシュメモリ 9 の露出面上に、電極部であるアルミパッド 2 b が形成されている。インターポザー 8 のフラッシュメモリ 9 側の面におけるフラッシュメモリ 9 の搭載部の周囲には複数のアルミパッド 2 a が形成されている。

【0063】この半導体デバイスでは、フラッシュメモリ 9 のアルミパッド 2 b が、インターポザー 8 の複数のアルミパッド 2 a のうちアルミパッド 2 b に対応するアルミパッド 2 a に、ボンディングワイヤーである金ワイヤー 1 2 a によるワイヤーボンドで電気的に接続されている。また、S-RAM 1 0 のアルミパッド 2 c が、インターポザー 8 の複数のアルミパッド 2 a のうちアルミパッド 2 c に対応するアルミパッド 2 a に、ボンディングワイヤーである金ワイヤー 1 2 b によるワイヤーボンドで電気的に接続されている。これらフラッシュメモリ 9 や S-RAM 1 0、および金ワイヤー 1 2 a、1 2 b がパッケージ材料 1 4 により封止されている。そして、インターポザー 8 内で配線が違い回されると共に、インターポザー 8 の下面に複数の半田ボール 1 3 が設けられており、半導体デバイスが BGA (Ball Grid Array) 型のものとなっている。

【0064】このように半導体チップを積層して半導体デバイスを作製する場合、S-RAM 1 0 のように半導体チップの端部が櫛歯形状となっていることにより、半導体デバイスの設計の自由度が極めて高くなる。櫛歯形状の

ような複雑な外形形状は、チップのダイボンド時におけるダイボンド剤のはみ出しに対して、ダイボンド剤が半導体チップの複雑な外形形状の端部でメニスカスを形成してダイボンド剤の流れ出しを停止させるため、そのダイボンド剤のはみ出しを見越した面積を大幅に低減できる。また、半導体チップの端部とワイヤーあるいはワイヤー同士のショートを回避するように長くて低いワイヤーループを形成する必要をなくすことができ、半導体デバイスの大きさを小さくできると共に、半導体デバイスの信頼性を高めることができる。

【0065】本実施形態の半導体デバイスでは、上段の半導体チップの端部形状が櫛歯状で、下段の半導体チップの外形形状が矩形となっているが、必ずしもこれらに限定されるものではない。例えば、上段のS-RAM10の端部の一部のみが櫛歯形状となってもよく、下段のフラッシュメモリ9の端部形状が櫛歯状になってもよい。また、アルミパッドの数などに応じて、S-RAM10およびフラッシュメモリ9の端部に少なくとも1つの凹部が形成されていてもよい。したがって、半導体チップの外形形状が単に矩形でなければよく、このようにチップの外形が矩形に制限されないことは、チップの積層による半導体デバイスの作製の自由度を大きくさせることができる。したがって、半導体チップを積層して構成される半導体デバイスの設計の自由度が高くなるように、半導体チップの形状が矩形以外の形状に構成されていればよい。

【0066】本実施形態の半導体チップおよび半導体デバイスを作製する際には、第1の実施形態で説明したウエハーの分割方法により半導体チップを作製する。上述したように、ウエハーに対してドライエッチングによる分割パターンの溝加工の後にウエハーの研削および研磨することによってウエハーを半導体チップに分割すれば、櫛歯形状のS-RAM10を、第1の実施形態で説明したように歩留まり良く、容易に作製することができる。

【0067】(第3の実施形態)図6は、本発明の第3の実施形態に係る半導体デバイスの構成を示す断面図である。本実施形態の半導体デバイスは、インターポザーと半導体チップや、積層された半導体チップ同士が、シリコン基板を貫通するビアホールによって電気的に接続された3次元実装パッケージの複合メモリーデバイスである。

【0068】シリコンチップの3次元積層の一例として、図6に示すように、半導体チップであるフラッシュメモリ29およびS-RAM30がこの順番で、搭載基板であるインターポザー28上に積層されている。インターポザー28上にフラッシュメモリ29がパンプ16aによりダイボンドされ、パンプ16aを介してフラッシュメモリ29がインターポザー28のアルミパッドと電気的に接続されている。また、フラッシュメモリ29上にS-RAM30がパンプ16bによりダイボ

ンドされ、パンプ16bを介してS-RAM30がフラッシュメモリ29のアルミパッドと電気的に接続されている。

【0069】フラッシュメモリ29およびS-RAM30の外形形状は共に矩形であり、また、フラッシュメモリ29およびS-RAM30は、ほぼ同じ大きさになっている。フラッシュメモリ29には、貫通孔に導電性材料が充填されてなるビアホール15aが複数形成され、それぞれのビアホール15aの下端面にパンプ16aが接続されている。また、S-RAM30にも、貫通孔に導電性材料が充填されてなるビアホール15bが複数形成され、それぞれのビアホール15bの下端面にパンプ16bが接続されている。インターポザー28のフラッシュメモリ29側の面には、電極部であるアルミパッドが複数形成され、それらのアルミパッドに、対応するパンプ16aが接続されている。また、フラッシュメモリ29の、パンプ16a側と反対側の面に電極部が複数形成され、それらの電極部に、対応するパンプ16bが接続されている。図6の場合では、ビアホール15aの導電材料の上端面にパンプ16bが接続されているこれらフラッシュメモリ29やS-RAM30、およびパンプ16a、16bがパッケージ材料34により封止されている。そして、インターポザー28内で配線が違い回されると共に、インターポザー28の下面に複数の半田ボール33が設けられており、半導体デバイスがBGA(Ball Grid Array)型のものとなっている。

【0070】フラッシュメモリ29やS-RAM30のような半導体チップを作製する際には、第1の実施形態で説明したウエハーの分割方法を用いる。そして、ウエハーを分割する工程で、シリコンチップに貫通孔を形成し、その貫通孔に導電材料を埋め込んだ後に、貫通孔内の導電材料の一端面にパンプを形成する。そして、上下の半導体チップをパンプを介して接続する。このような構成の半導体デバイスにおいては、半導体チップ同士の電気的な接続、および半導体チップとインターポザーとの電気的な接続のための配線をチップ外周部のパッドに違い回したり、異なるチップの接続をワイヤーボンドにて行う必要がない。よって、最も近距離でトランジスタ間の接続が可能となり、このような構成が今後の高速処理対応の半導体実装技術の主流となると予想される。この構成においては、シリコン基板に貫通穴を形成する工程が必要であり、その工程にドライエッチングを適用すれば、ビアホール用の貫通孔の形成工程が本発明によるチップの分離工程と共通化され、大幅な工程の短縮となる。その貫通孔の形成は、第1の実施形態で説明したようなドライエッチング時のマスクパターンを変更するのみで対応できる。また、半導体デバイスの本構成とする場合、凹部の加工とバックグラインド工程に加え、次の工程を追加する必要がある。

【0071】まず、半導体基板において、ビアホールを

形成するために凹加工された凹部の内壁はシリコンの導電材料で構成されているため、凹部の内壁に絶縁材料を成膜する工程が必要になる。そして、内壁面に絶縁材料が成膜された凹部の内部に導電材料を埋め込む工程が必要になる。このとき、ビアホールとなる個所のみに導電材料を埋め込むか、あるいは、第1の実施形態で説明したウエハの分割方法により半導体チップを作製する際に、バックグラインド後に分離ライン個所にのみに埋め込まれた導電材料を除去する工程が必要となる。

【0072】次に、半導体チップにビアホールを形成するために貫通孔の内壁に絶縁材料を成膜する工程に関して説明する。

【0073】絶縁材料としては、酸化シリコンや窒化シリコン等のシリコン化合物、あるいはアルミやタングステン、チタン、タンタル等の金属酸化物、有機化合物を挙げることができる。これらの材料からなる膜は通常の薄膜成膜方法にて形成できる。すなわち、プラズマCVDや常圧CVD、LP-CVD等のCVD、スパッタリングや蒸着法、溶剤コート法等何れの方法を用いても構わない。

【0074】また、半導体基板を構成するシリコンをそのままフィールド酸化しても構わない。勿論、半導体基板に形成された半導体素子にダメージを与えるような温度、電荷を必要とする成膜方法は採用することはできない。

【0075】最も好適には、LP-CVDによる窒化シリコンや低温SiO₂成膜を挙げることができる。LP-CVDは低圧にて成膜するため、分子の自由行程が長く、凹部の内壁面にも均一に良質の膜を形成することが可能である。また、低温にて成膜する必要がある場合は、市販されている有機パッシベーション材料をそのままスピコートするか、その材料を希釈して塗布することが好ましい。

【0076】このとき、凹部の底に気泡が入ったり、皮膜厚さにムラが生じないように、材料の希釈条件や塗布条件を適正化する必要がある。また、凹部の深さを所定以上の深さにし、内壁面に形成された絶縁膜のムラ部をバックグラインド時に除去するようにしても良い。これら有機パッシベーション材料としては、日立化成工業社より提供されるHIMALやPIQ等のポリエーテルアミドやイミド前駆体、東レ株式会社より提供されるフォトニース等多くの材料を挙げることができる。

【0077】これら絶縁皮膜の膜厚は、皮膜が良好な絶縁特性を有し、ピンホール等のない膜厚であれば何れでも構わないが、最も好適には0.1~5μm程度である。膜厚が0.1μm以下では、ピンホールのない膜を得ることは非常に難しいし、また5μm以上の場合、成膜材料の内部応力や、シリコンとの線膨張係数の差によって、半導体チップの強度が低下する場合が多い。

【0078】次に、半導体チップにビアホールを形成す

るために貫通孔の内部に導電材料を埋め込む工程に関して説明する。

【0079】導電材料の埋め込み方法としては、メッキやメタルCVD、金属の樹脂分散ペーストの塗布を挙げることができる。また、金属材料としては、アルミ、タングステン、チタン、銅、銀、金等何れの金属を用いても構わない。メッキ法は、メッキベース金属をスパッタリング等にて成膜した後に電解メッキを行う方法や、無電解のニッケルメッキを行った後に電解メッキを行う方法等、何れの方法を用いても構わない。また、メタルCVDは近年、半導体用に各種開発されており、WF₆を用いたタングステン、Al(CH₃)₃などを用いたアルミ、Cu-HFAC-TMVS（ヘキサフルオロアセチルアセトネート-トリメチルビニルシラン）を用いた銅等を挙げることができる。また、汎用的な銀ペーストやカーボンペースト等の導電性材料の樹脂ワニス塗布し、その後焼き固めても構わない。

【0080】尚、ビアホールとなる貫通孔では導電材料の埋め込みがあり、導電部材の埋め込みが分離部ではないような構成とする場合、導電材料の埋め込み前に分離ラインの溝にマスクをするか、導電材料の埋め込み後にビアホール用の凹部の導電材料にマスクをして分離部の導電材料を除去する必要がある。

【0081】図7~図10は、シリコン基板を貫通するビアホールの形成と、半導体チップの分離とを同時に行う工程フローの一例を示す断面図である。

【0082】図7(a)に示すように、外形形状が円形のウエハであるシリコン基板51上には、電極部であるアルミパッド52、およびパッシベーション膜53が複数形成されている。そして、アルミパッド52およびパッシベーション膜53のそれぞれの表面に、レジスト54aがパターンニングによって形成されている。シリコン基板51の表面において、分割ラインに沿った分離用の溝に対応する部分、およびビアホールに対応する部分は露出している。

【0083】次に、図7(b)に示すように、レジスト54aをマスクにしてシリコン基板51に対してICP-RIE、すなわちトレンチエッチングを行い、シリコン基板51の分割用の溝であるトレンチ穴55a、およびシリコン基板51を貫通するビアホール用の穴を形成するための凹部55bをシリコン基板51に形成する。トレンチ穴55aと凹部55bの深さは、ほぼ同じになっている。

【0084】次に、図7(c)に示すようにアルミパッド52上およびパッシベーション膜53上のレジスト54aを剥離して除去する。

【0085】次に、図8(a)に示すように、トレンチ穴55aおよび凹部55bのそれぞれの内壁全体や、アルミパッド52の表面全体、およびパッシベーション膜53の表面全体に、絶縁材料からなる絶縁膜19を形成

10

20

30

40

50

する。

【0086】次に、図8(b)に示すように、トレンチ穴55a内および凹部55b内に導電材料20が埋め込まれるように絶縁膜19の表面全体に導電材料20を形成する。

【0087】次に、図8(c)に示すように、導電材料20を研磨するメタル研磨によって不要な個所を除去する。このとき、パッシベーション膜53まで研磨することにより、その皮膜上の不要な金属は全て除去される。

【0088】次に、図9(a)に示すように、トレンチ穴55a内に繋がっている導電材料20の表面を除いて、他の部分の導電材料20の表面、およびパッシベーション膜53の表面にレジスト54bをパターンニングによって形成する。このレジスト54bをマスクにして、トレンチ穴55a内の導電材料20をエッチングにより除去した後、図9(b)に示すようにレジスト54bを除去する。

【0089】次に、図9(c)に示すように凹部55b内に繋がっている導電材料20の表面、すなわち電極パッド部の表面に、接続用パンプ76を形成する。

【0090】次に、図10(a)に示すように、シリコン基板51のパンプ76側全体、すなわちパッシベーション膜53やパンプ76の表面に、保持用シートであるバックグラインディングテープ56を貼り付けた後、シリコン基板52の、パンプ76側と反対側の裏面を、トレンチ穴55aおよび凹部55bに達するまで研削および研磨し、そのバックグラインドによってシリコン基板52を薄膜化する。このとき、シリコン基板51の裏面に凹部55b内の導電材料20が露出し、かつ、シリコン基板51の裏面にトレンチ穴55aの開口端が形成されるようにシリコン基板52を薄くする。これにより、凹部55bが、シリコン基板51を貫通する貫通孔55cになると共に、その貫通孔55c内に導電材料20が充填されて構成されたビアホール75がシリコン基板51に形成され、また、それと同時に、シリコン基板51がトレンチ穴55aで複数の半導体チップ81に分割される。

【0091】次に、図10(b)に示すように、それぞれの半導体チップ81からバックグラインディングテープ56を剥離する。

【0092】そして、図10(c)に示すように、ビアホール75内の導電材料20がパンプ76aを介して、搭載基板であるインターポザー88のアルミパッドと電氣的に接続されるように、複数のパンプ76aを介して半導体チップ81をインターポザー88上に搭載する。次に、半導体チップ81上のパンプ76を介して半導体チップ81上に半導体チップ81aを積層する。半導体チップ81aの構成は、半導体チップ81の構成とほぼ同じであり、半導体チップ81と比較して、半導体チップ81aに形成されているビアホール75内

の導電材料20上にパンプが形成されていない点が主に異なっている。半導体チップ81aにおけるビアホール75内の導電材料20が半導体チップ81上のパンプ76を介して半導体チップ81におけるビアホール75内の導電材料20と電氣的に接続されている。

【0093】以上の工程を経て、インターポザー88上に半導体チップ81、81aが3次元的に積層されてパッケージされた半導体デバイスが作製される。

【0094】勿論、これら基本的な工程の形態では、上記のようにリフトオフを用いたり、マスク材料を兼用したりして、適用するデバイスの膜構成やプロセスに、より多くの展開例を採用することができる。

【0095】シリコン基板のバックグラインドや、その後のチップのハンドリングに関しては、従来の技術をそのまま適用すれば良い。これらの技術内容は特開平9-213662号公報に記載されている。また、シリコン基板を研削および研磨する汎用的な装置としては、株式会社DISCO、東京精密株式会社、岡本工作機械株式会社より提供されている。

【0096】

【実施例】以下、実施例を用いて本発明をさらに詳細に説明するが、本発明がこれら実施例に限定されるものではない。

【0097】(実施例1) 図3(a)に示したようにシリコン基板1にアルミパッド2が形成された構成の半導体ウエハを用いた。尚、その半導体ウエハにおいて、図3(a)ではアルミ配線下部の膜構成は省略されている。アルミパッド2の表面にはバリアーメタル7としてTiWを厚さ2000Å成膜し、パッシベーション膜3としては、プラズマCVDによる窒化シリコンを厚さ5μm成膜した。

【0098】上記のようなウエハ上に、汎用的なポジ型レジストとして東京応化工業株式会社製のOFPR-800を7μmの厚さで塗布した後、露光して分離ラインパターンを形成した。尚、レジストの塗布はスピコートで行い、ベークは90℃で3分間行い、露光はキャノン株式会社製のMPA-600FAにて1J/cm²の露光にて行った。現像は、クラリアント株式会社製の現像液NMD-3を用い、ハードベークは行わなかった。半導体ウエハ上に形成されたレジストパターンをマスクにULVAC株式会社製のICPドライエッチング装置NLD-800にて、パッシベーション膜である窒化シリコン膜を加工した。

【0099】エッチングガスはCF₄に酸素を5Vol%添加したガスを用い、投入パワーは1000W、バイアスは100W、エッチングガスの圧力は0.8Paの条件で行った。次いでレジストを専用リムーバー(東京応化工業株式会社製の1112A)にて溶解して除去した。

【0100】半導体チップを分離するための凹溝の加工はALCATEL社製のICP-RIE装置E601にて行った。その装置はBoschプロセスに対応しており、エッチングはSF₆ガ

スを用いて投入パワー1200W、バイアス50W、ガス圧1Paにて6秒、エッチング部側壁の保護膜のデポジットは C_3F_8 を用いて投入パワー800W、バイアス50W、ガス圧5Paにて2秒を交互に繰り返して深堀 (Dep) トレンチエッチングを行った。

【0101】半導体チップを分離するための溝の幅、すなわちエッチング部の幅は10 μm とし、エッチング部の掘り込み深さは100 μm とした。このエッチングに要した時間は10分間であった。

【0102】次いで、そのウエハー表面側にバックグライインディングテープを貼り付けた。バックグライインディングテープとしては古河電気工業株式会社製のFS-3323-330を用いた。そのテープはポリオレフィン基材上にアクリル系の粘着剤が塗布されたものであり、粘着剤の粘着力がUV照射にて低下されており、これにより、薄膜化された半導体チップをそのテープによってピックアップし易くなっている。ウエハーのバックグランドは岡本工作機械株式会社製のGNX200Eを用いて行った。その装置では、バックグランド後に弗酸と硝酸の混合液にてエッチングを行うエッチャーがインライン化されているが、本実施例ではエッチングは行わなかった。バックグランドは#350番のダイヤモンドグラインダーでシリコン基板を90 μm の厚さまで研削し、次いで#2000番のグラインダーでシリコン基板を70 μm まで薄膜化した。

【0103】次いで、古河電気工業株式会社製のUV照射装置UVM-200を用いて2J/cm²の紫外線照射を行うことにより半導体チップからバックグライインディングテープを剥離し、チップ分離パターンにて分離された半導体チップを得た。

【0104】(実施例2) 本実施例では、ウエハーから半導体チップを分離する工程で半導体基板に貫通孔を形成して、半導体チップを積層するためのビアホールを同時に形成した例について説明する。

【0105】本実施例においても、図3(a)に示したようにシリコン基板1にアルミパッド2が形成された構成の半導体ウエハーを用いた。アルミパッド2の表面にはバリアーメタル7としてTiWを厚さ2000Å成膜し、パッシベーション膜3としては、プラズマCVDによる窒化シリコンを厚さ5 μm 成膜した。

【0106】上記のようなウエハー上に、汎用的なボジ型レジストとして東京応化工業株式会社製のOFPR-800を7 μm の厚さで塗布した後、露光して分離ラインパターンを形成した。尚、レジストの塗布はスピンコートで行い、ベークは90℃で3分間行い、露光はキャノン株式会社製のMPA-600FAにて1J/cm²の露光にて行った。現像は上記の現像液NMD-3を用い、ハードベークは行わなかった。半導体ウエハー上に形成されたレジストパターンをマスクにULVAC株式会社製のICPドライエッチング装置NLD-800にて、パッシベーション膜である窒化シリコン膜

を加工した。

【0107】エッチングガスは CF_4 に酸素を5Vol%添加したガスを用い、投入パワーは1000W、バイアスは100W、エッチングガスの圧力は0.8Paの条件で行った。次いでレジストを専用リムーバー(東京応化工業株式会社製の1112A)にて溶解して除去した。

【0108】半導体チップを分離するための凹溝の加工はALCATEL社製のICP-RIE装置E601にて行った。その装置はBoschプロセスに対応しており、エッチングは SF_6 ガスを用いて投入パワー1200W、バイアス50W、ガス圧1Paにて6秒、エッチング部側壁の保護膜のデポジットは C_3F_8 を用いて投入パワー800W、バイアス50W、ガス圧5Paにて2秒を交互に繰り返して深堀 (Dep) トレンチエッチングを行った。ビアホール用の貫通孔を形成するための凹部の断面は $\phi 20\mu m$ の円形とし、エッチング部の幅は10 μm とし、エッチング部の掘り込み深さは100 μm とした。このエッチングに要した時間は10分間であった。

【0109】尚、アルミパッドは、その表面に形成されたバリアーメタルのTiWにより殆どエッチングされなかった。次いで、ビアホール用の凹部の側壁に絶縁膜を形成するため、LP-CVDにて窒化シリコン膜を形成した。LP-CVDは国際電気株式会社製のVERT EX-IIを用い、成膜温度を750℃、 SiH_2Cl_2 ガスの流量を70cc/分、窒素ガスの流量を700cc/分、チャンパー内の圧力100Paの条件にて行った。凹部の内壁に形成した絶縁膜の膜厚は0.5 μm とした。次いで、絶縁膜が形成された凹部の内部に導電材料として銅を埋め込んだ。そのCuの成膜ではLP-CVD装置によるメタルCVD法を用いた。そのLP-CVD装置として国際電気株式会社製のVERT EX-IIを用い、ガスとしてはCu-(HFAC-TMVS)を用いた。基板温度は300℃、流量は700cc/分、ガス圧力は500Paにて、凹部内への導電材料の埋め込みを300分を行った。この工程では、デポジット(堆積膜)の膜厚は15 μm であるが、凹部内では導電材料が側壁からも等方的に成膜されるため、凹部内は全てCuにて埋まった。

【0110】次いで、ウエハーの裏側の面を研磨した。その研磨では岡本工作機械株式会社製のSPP-600ATを用い、スラリーとしてアルミナを用いた。ウエハーの研磨は17 μm だけ行い、これにより、パッシベーション膜上のCuは全て除去された。その後、再度、フォトレジストとして上記のOFPR-800を用いて、エッチングラインの溝内のCuをエッチング除去した。そのフォトレジストのパターニング条件は上記と同じように、パターン形成後に120℃にてハードベークをした。次いで、塩化第二鉄水溶液にてエッチング部のCu、すなわちエッチングラインの溝内のCuをエッチング除去し、ウエハー上のレジストをプラズマアッシャーにて除去した。

【0111】半導体チップの積層による3次元実装を行

う場合は、ここでパッド部分にバンパを形成する必要があるが、本発明は半導体チップの分離に関するものであり、そのような実装は行わなかった。バンパの形成はクリーム半田の印刷や、半田ボール搭載、半田の転写バンパ法、金ワイヤーによるスタッドバンパ等、何れのバンパ形成方法を用いても構わない。

【0112】次いで、そのウエハー表面側にバックグライインディングテープを貼り付けた。バックグライインディングテープとしては古河電気工業株式会社製のFS-3323-330を用いた。そのテープはポリオレフィン基材上にアクリル系の粘着剤が塗布されたものであり、粘着剤の粘着力がUV照射にて低下されており、これにより、薄膜化された半導体チップをそのテープによってピックアップし易くなっている。ウエハーのバックグラインドは岡本工作機械株式会社製のGNX200Eを用いて行った。その装置では、バックグラインド後に弗酸と硝酸の混合液にてエッチングを行うエッチャーがインライン化されているが、本実施例ではエッチングは行わなかった。バックグラインドは#350番のダイヤモンドグラインダーでシリコン基板を90 μ mの厚さまで研削し、次いで#2000番のグラインダーでシリコン基板を70 μ mまで薄膜化した。この研削により、パイアホール用の貫通孔に埋め込まれている銅のバリが発生したため、前記の塩化第二鉄溶液にて30秒間のライトエッチを行ってその銅のバリを除去した。

【0113】最後に古河電気工業株式会社製のUV照射装置UVM-200を用いて紫外線を2J/cm²照射することにより、半導体チップからバックグライインディングテープが剥離され、分離された半導体チップを得た。その半導体チップは、上述したようにその表面にバンパを形成しておけば3次元に積層することができる。例えば、半導体チップ上に半田バンパを形成した場合、複数の半導体チップを積層してリフローをすれば、半田による電気的接続とチップの固定が成され、次いで汎用的なアンダーフィル剤を流し込めば、デバイスがスタックされたエリアアレイを形成できる。

【0114】(実施例3) 本実施例では、半導体デバイスを製造する際に外形形状が矩形ではない半導体チップを作製し、そのチップをインターポーザー上で積層してワイヤーボンドすることができる例について説明する。

【0115】実施例1と同様にして、図5に示した櫛歯形状を有するS-RAM10を作製するようなチップ分離パターンをウエハーに形成した。次いで、実施例1と同様にウエハーを分割して半導体チップを分離した。インターポーザーの構成材料としてガラエポ(ガラスエポキシ樹脂)を用いた。そのインターポーザー上に積層される半導体チップのうち下側の半導体チップとして、汎用的なダイシング技術にて作成した矩形のフラッシュメモリーをインターポーザー上にダイボンンドし、そのフラッシュメモリー上に、本実施例で作製されて櫛歯状の外形形

状を有するS-RAMをダイボンンドした。ダイボンンドは、エポキシ系ダイボンンド材料としてエマールソジ&ガミソジ社製のE3032を用いて行った。ダイボンンド剤のキュアは120℃にて1時間行った。このとき、接着剤のはみ出しは、櫛歯の凹部にメニスカスが形成されて停止し、下側の半導体チップのパッド部には接着剤が全く乗り上げなかった。次いで、上下のチップを $\phi 30\mu$ mの金ワイヤーでインターポーザー上のパッドにワイヤーボンンドした後、トランスファーモールドによりパッケージし、インターポーザーの下面に半田ボールを搭載してBGAを作製した。本実施例によるワイヤーボンンドの構成は、従来の矩形の半導体チップのみを積層して構成された半導体デバイスの例と比較して図5(b)に示されている。このような構成により、チップ面積が小さい3次元実装デバイスを信頼性良く製造できる。

【0116】

【発明の効果】以上説明したように、本発明によれば、ウエハーを個別の半導体チップに分割する際、ウエハーにおける半導体素子の形成面にエッチングラインに沿ってドライエッチングより所定の深さの溝を形成し、その形成面に保持用シートを貼り付けた後に、ウエハーの裏面を前記溝に達するまで研削および研磨するので、半導体チップを分離するための分離幅を細くでき、また、従来のようなダイシングによるチップングを考慮しない、ウエハー上での半導体素子のレイアウトが可能となり、チップの取り個数を大幅に増やすことができる。

【0117】また、ウエハーの外周部分を除く部分に、ウエハーを個別の半導体チップに分離するための溝を形成し、ウエハーに外周部分に分離用の溝を形成しないことにより、ウエハーの外周部分のチップ飛びを防止することが可能となり、信頼性良くウエハーの薄膜化ができる。

【0118】さらに、半導体チップとじて外形が矩形以外のものを作製することが可能であるので、例えば半導体チップの端部形状を櫛歯形状とすることにより、半導体チップの積層による半導体デバイスの設計の自由度を高めることが可能であり、デバイスの歩留まりと信頼性を高めることができる。また、半導体チップの積層に際して、ウエハー分離用の溝を形成するためのドライエッチングの工程をチップの3次元実装のためのピアホールの形成と共通化して、チップを貫通するピアホールの形成工程と組み合わせれば、ドライエッチング工程の追加の負荷を殆ど無くすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るウエハーの分割方法によってウエハーを個々の半導体チップに分離する基本的な工程を説明するための断面図である。

【図2】ウエハーの分割方法の他の例を説明するための断面図である。

【図3】ウエハーの分割方法のさらに他の例を説明する

ための断面図である。

【図 4】ウエハーの分離パターンの一例を示す平面図である。

【図 5】本発明の第 2 の実施形態に係る半導体デバイスの構成を示す上面図および断面図である。

【図 6】本発明の第 3 の実施形態に係る半導体デバイスの構成を示す断面図である。

【図 7】シリコン基板を貫通するビアホール形成と、半導体チップの分離とを同時に行う工程フローの一例を示す断面図である。

【図 8】シリコン基板を貫通するビアホール形成と、半導体チップの分離とを同時に行う工程フローの一例を示す断面図である。

【図 9】シリコン基板を貫通するビアホール形成と、半導体チップの分離とを同時に行う工程フローの一例を示す断面図である。

【図 10】シリコン基板を貫通するビアホール形成と、半導体チップの分離とを同時に行う工程フローの一例を示す断面図である。

【図 11】2 種類の半導体チップを積層し、ワイヤーボンドにて電気的な接続を行った 3 次元実装パッケージの半導体デバイスの一例を示す断面図である。

【図 12】ウエハーの分離パターンの一例を示す平面図である。

【符号の説明】

1、51 シリコン基板

2、52 アルミパッド

3、53 パッシベーション膜

4、54a、54b レジスト

5、55a トレンチ穴

6、56 バックグラインディングフィルム

7 バリアメタル

8、28、88 インターポーザー

9、29 フラッシュメモリ

10、30 S-RAM

10a 突起部

10b、55b 凹部

11a、11b ダイボンダ剤

12a、12b 金ワイヤー

13、33、93 半田ボール

14、34、94 パッケージ材料

15a、15b、75 ビアホール

16a、16b、76、76a パンプ

17 ウエハー

18 分離ライン

19 絶縁膜

20 導電材料

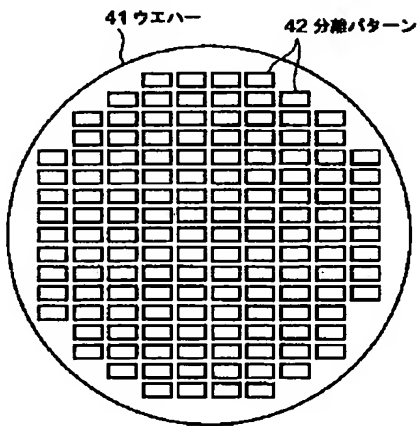
21、81 半導体チップ

41 ウエハー

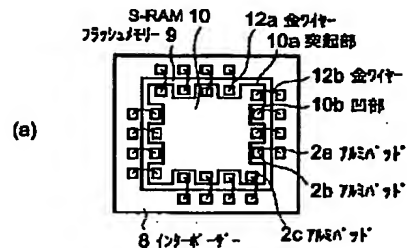
42、43 分離パターン

55c 貫通孔

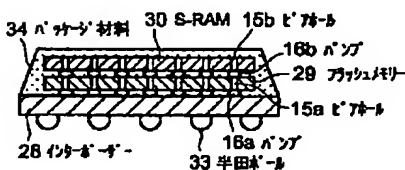
【図 4】



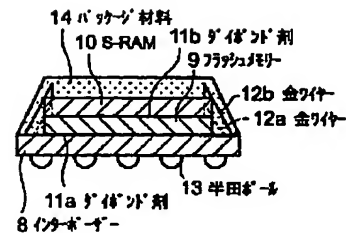
【図 5】



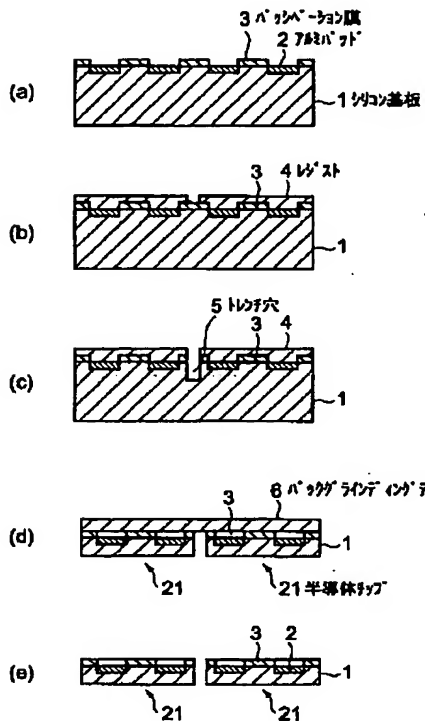
【図 6】



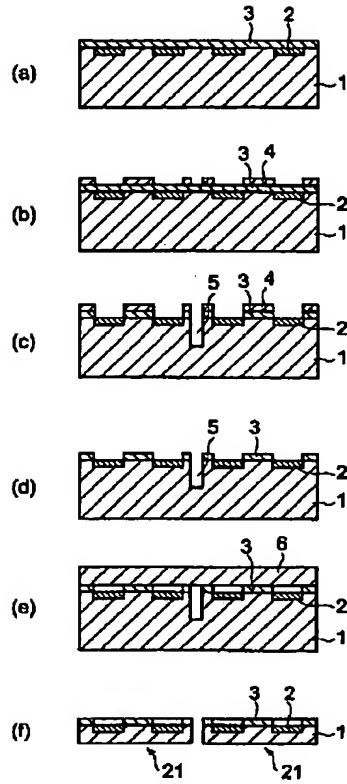
(b)



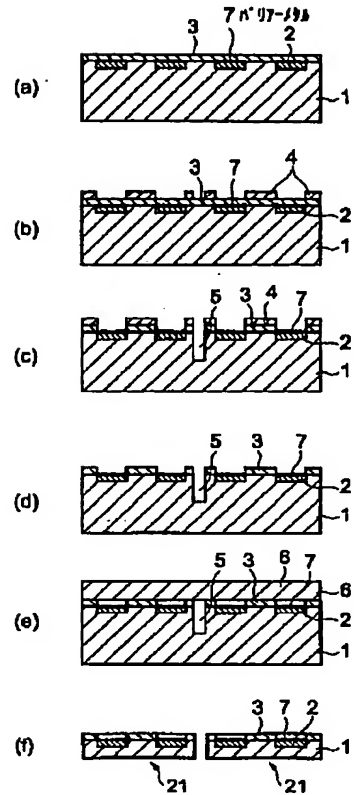
【図 1】



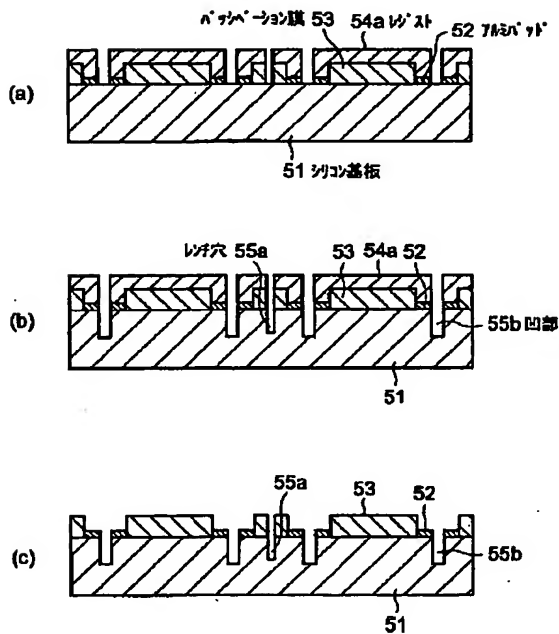
【図 2】



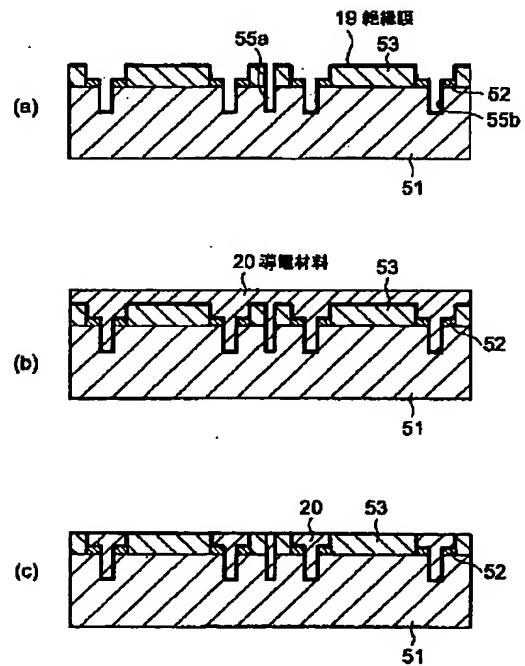
【図 3】



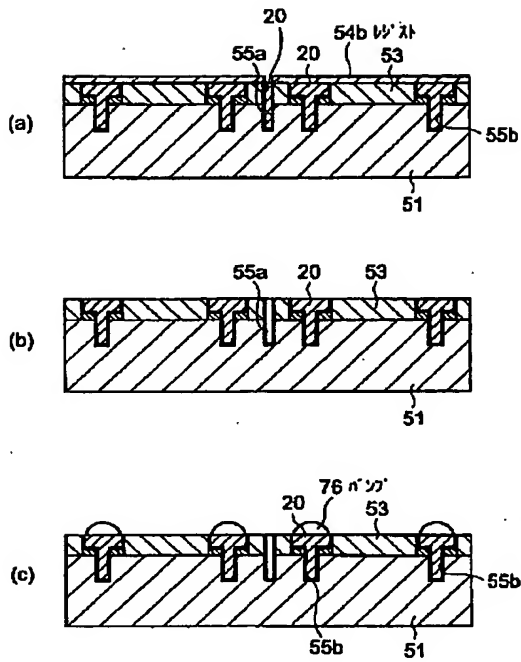
【図 7】



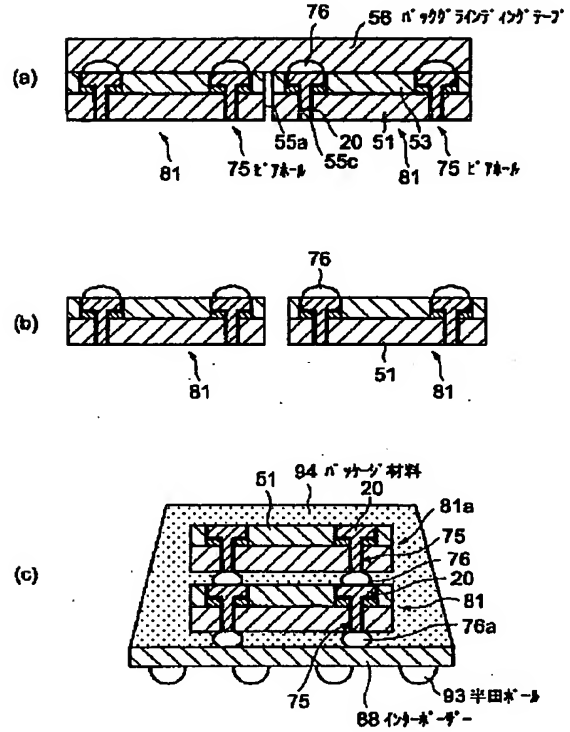
【図 8】



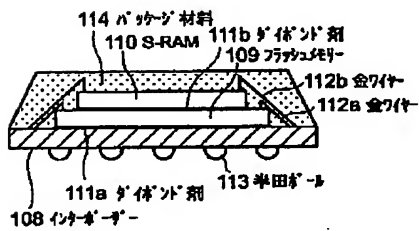
【図9】



【図10】



【図11】



【図12】

